

本文引用格式: 苗鑫.基于 FPGA 的低噪声三角波信号发生器设计[J].自动化与信息工程,2023,44(4):19-23;27.

MIAO Xin. Design of low noise triangular wave signal generator based on FPGA[J]. Automation & Information Engineering, 2023,44(4):19-23;27.

基于 FPGA 的低噪声三角波信号发生器设计

苗鑫

(沐曦集成电路(南京)有限公司, 江苏 南京 210000)

摘要: 基于 XC7K325T FPGA 逻辑控制和 AD9783 数模转换模块设计一款低噪声三角波信号发生器, 输出阻抗为 $50\ \Omega$, 电平噪声小于 $5\ \text{mV}$ 的低噪声三角波调制信号。实测结果表明, 该发生器与专用的信号发生器相比, 其输出的三角波调制信号电平噪声较低, 提高了三角波信号发生器的信号质量。

关键词: XC7K325T FPGA 逻辑控制; AD9783 数模转换; 三角波信号发生器; 三角波调制信号

中图分类号: TP274.2

文献标志码: A

文章编号: 1674-2605(2023)04-0004-06

DOI: 10.3969/j.issn.1674-2605.2023.04.004

Design of Low Noise Triangular Wave Signal Generator Based on FPGA

MIAO Xin

(MetaX Integrated Circuits(Nanjing) Co., Ltd., Nanjing 210000, China)

Abstract: Design a low noise triangular wave signal generator based on XC7K325T FPGA logic control and AD9783 analog-to-digital conversion module. The output impedance is $50\ \Omega$, and the level noise is less than $5\ \text{mV}$ for a low noise triangular wave modulation signal. The actual measurement results show that compared with a dedicated signal generator, the generator outputs a triangular wave modulation signal with lower level noise, which improves the signal quality of the triangular wave signal generator.

Keywords: XC7K325T FPGA logic control; AD9783 digital to analog conversion; triangular wave signal generator; triangular wave modulation signal

0 引言

信号发生器是一种提供频率、波形和输出电平电信号的设备, 广泛应用于各种电路。目前, 专用的信号发生器虽然精度较高, 但价格昂贵, 不便于携带, 无法应用于小型产品中。

目前数据处理通常采用数字信号处理 (digital signal processing, DSP) 专用芯片和现场可编程门阵列 (field programmable gate array, FPGA) 器件来实现^[1]。其中, DSP 存在成本高、难以编程、频率低的问题, 不利于并行处理任务; FPGA 可用于高速信号处理, 大量的 I/O 接口方便扩展设计, 且时钟管理块可产生高频时钟, 提高了数据处理和传输的速率^[2]。

本文设计了以 FPGA 为逻辑控制模块, AD9783

为数模转换模块的三角波信号发生器, 实现低噪声的三角波调制信号输出。

1 总体设计

基于 FPGA 的低噪声三角波信号发生器由 XC7K325T FPGA 逻辑控制、DC-DC 电源转换、以太网数据传输、AD9783 数模转换和 AD8009 信号放大 5 个模块组成, 如图 1 所示。

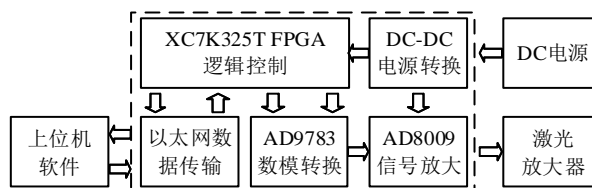


图 1 基于 FPGA 的低噪声三角波信号发生器总体设计

XC7K325T FPGA 逻辑控制模块主要对 AD9783 数模转换模块进行控制，包括 SPI 接口配置和 LVDS 数据发送等。

DC-DC 电源转换模块由 DC 电源提供 5 V 输入电压，输出电压分别为 1.2 V（给 XC7K325T FPGA 逻辑控制模块供电）、1.8 V（给以太网数据传输模块供电）、1.8 V（给 AD9783 数模转换模块供电）、1.8 V（给 AD8009 信号放大模块供电）。

以太网数据传输模块通过千兆以太网口连接上位机与 XC7K325T FPGA 逻辑控制模块。

AD9783 数模转换模块通过 SPI 接口接收 XC7K325T FPGA 逻辑控制模块的工作模式配置信息，并将 XC7K325T FPGA 逻辑控制模块输出的 LVDS 差分数据转换为模拟信号，输出给 AD8009 信号放大模块。

AD8009 信号放大模块对 AD9783 数模转换后的信号进行放大滤波，产生满足幅度、宽度、噪声要求的三角波调制信号^[3]。

2 硬件部分

2.1 XC7K325T FPGA 逻辑控制

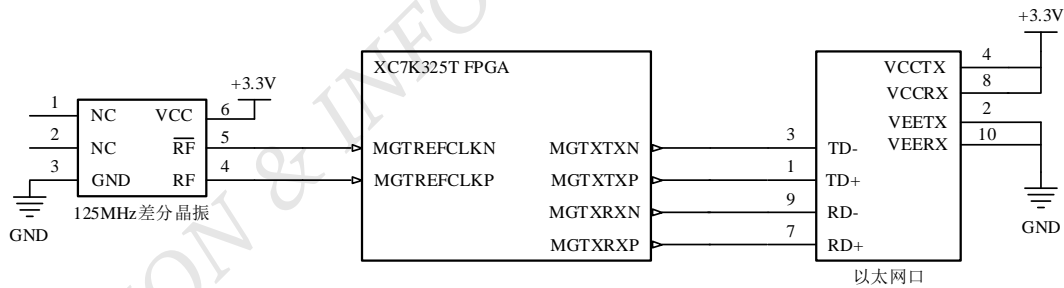


图 2 XC7K325T FPGA 与千兆以太网接口连接图

125 MHz 的差分晶振连接 XC7K325T FPGA 的 MGTREFCLKP/N LVDS 差分接口，作为参考时钟^[8-9]；XC7K325T FPGA 的 MGTXRXP/N 和 MGTXTXP/N LVDS 差分接口分别连接千兆以太网口的 RD+/-和 TD+/-接口，用来传输以太网物理层差分电信号。在 PCB 布线时，为使 PCB 的阻抗匹配，需将 LVDS 差分线分别做等长设置、阻抗 100 Ω 的匹配处理。

2.3 AD9783 数模转换

XC7K325T FPGA 拥有 478 k 逻辑单元；时钟管理块 CMT 可支持 500 MHz 高频时钟；高速收发器支持 12.5 Gb/s 的传输速率，可用于千兆以太网接口^[4]；多达 400 个宽范围（HR）和高性能（HP）I/O 可产生 SPI 控制信号以及 LVDS 差分数据信号，用于高速 DAC 接口连接。XC7K325T FPGA 有丰富的接口资源，如表 1 所示，可以满足本设计的需求。

表 1 XC7K325T FPGA I/O 资源数量 单位：个

Device	GTXs	HR I/O	HP I/O	CMTs
XC7K325T	16	350	150	10

千兆比特收发器（GTXs）连接 XC7K325T FPGA 和以太网口；宽范围（HR）和高性能（HP）I/O 连接 XC7K325T FPGA 和 AD9783 数模转换芯片；时钟管理器（CMTs）产生高频输出 I/O 时钟^[5-7]。

2.2 以太网数据传输

上位机通过以太网将控制命令传输给 XC7K325T FPGA 逻辑控制模块。XC7K325T FPGA 与千兆以太网接口连接如图 2 所示。

AD9783 是一款高速数模转换芯片，具有高动态范围、低噪声等特点。XC7K325T FPGA 逻辑控制模块和 AD9783 数模转换模块的接口连接如图 3 所示。

XC7K325T FPGA 拥有高性能（HP）和宽范围（HR）2 种 I/O 组^[10]。本设计中 SPI 寄存器配置接口使用宽范围（HR）I/O 组，500 MHz LVDS 差分时钟和数据使用高性能（HP）I/O 组。PCB 的 LVDS 差分线需要设置为等长、做阻抗 100 Ω 的匹配处理。

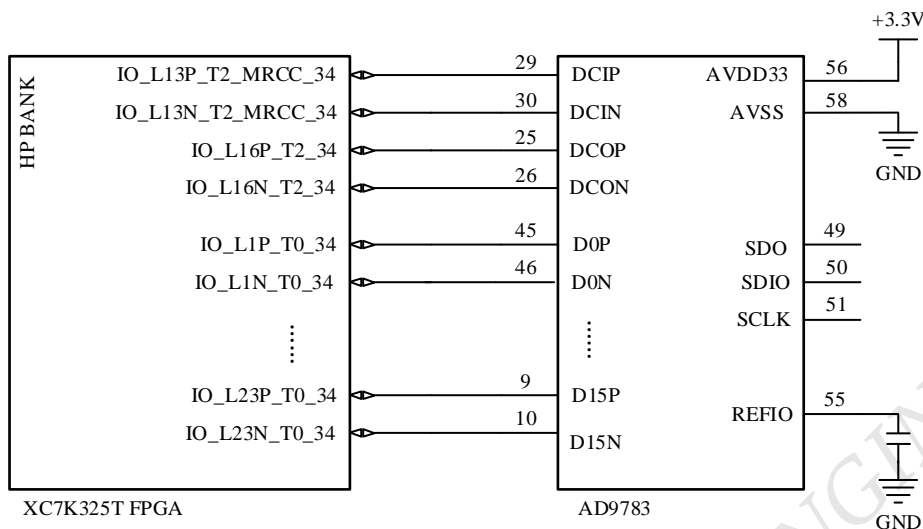


图3 XC7K325T FPGA 和 AD9783 的接口连接图

3 FPGA 开发

3.1 三模式以太网设计

FPGA 三模式以太网可实现以太网数据传输。FPGA 三模式以太网 MAC 设计与开放系统互连(open system interconnection, OSI)参考模型中的数据链路层和物理层相关^[1]。其中,数据链路层的 MAC 和 MAC 控制子层描述以太网帧协议的数据格式、错误检测以及实时流量控制操作;物理层由 PCS、PMA 和 PMD 子层组成,主要定义了比特信号发送时相关的电气、时序和其他接口。本设计使用 2 种主要的物理层连接为 BASE_T PHYs (MAC 和电口连接)、BASE_X PHYs (MAC 和光口连接)。FPGA 以太网 MAC 设计框图如图 4 所示。

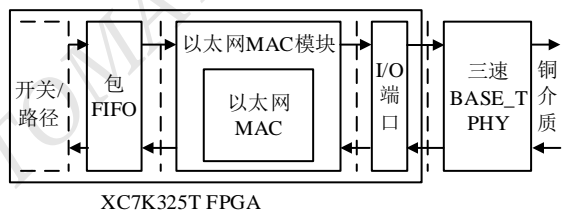


图4 FPGA 以太网 MAC 设计框图

FPGA 三模式以太网 MAC 的 IP 核选择物理接口 GMII, MAC 速率为 1 000 Mb/s。IP 核的物理接口与

以太网 PHY 设备连接,可支持 BASE_T 标准,数据传输速率分别为 1 Gb/s、100 Mb/s 和 10 Mb/s。PHY 设备可支持 GMII/MII、RGMII、以太网 1000BASE-X PCS/PMA 或 SGMII、SGMII。

以太网 MAC 的用户端和 FIFO 连接,此端口与开关或者路径连接。GMII 接口时钟为 125 MHz,数据传输速率为 1 Gb/s。用户端根据标准以太网数据框架将数据写入 FIFO 中,并按照数据框架要求,一帧数据量不大于 1 500 个字节^[2]。为保证数据传输的准确性,每一帧数据最后 4 个字节为校验数据。32-bit 循环冗余校验码(CRC)的计算公式为

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x^1 + x^0$$

式中: $G(x)$ 为 CRC 校验生成多项式, x^{32} 表示多项式中 bit32 为 1, 依次类推。

计算出的 32-bit 数据按照先传输 x^{32} 位,再依次传输 x^{31} 位到 x^0 位,接收端根据校验码来验证数据传输的正确性。一帧数据的 VHDL RTL 对应的状态流程图如图 5 所示。

图 5 中,信号 crc_state 表示状态机的状态,信号 ip_tx_start 为触发 crc_state 状态从 IDLE 跳转为

TOT_LEN 的条件; 信号 crc_cks 表示当前状态下需要产生的信号值, 直到一帧数据产生完成。

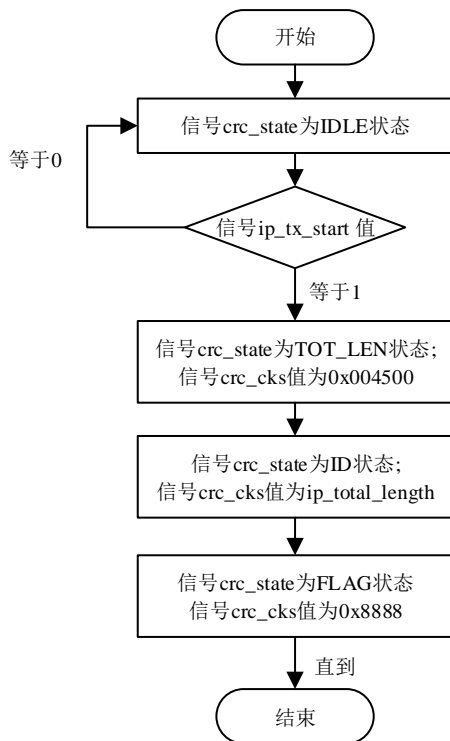


图 5 一帧数据状态流程图

3.2 LVDS 设计

XC7K325T FPGA 逻辑控制使用 OSERDES2 原语产生 LVDS 差分采样时钟信号 CLKP/CLKN 和 LVDS 差分数据信号 D15P、D15N~D0P、D0N, 输出给 AD9783 数模转换模块。XC7K325T FPGA 的 OSERDES2 原语如图 6 所示。

XC7K325T FPGA 逻辑控制中对 OSERDES2 原语进行例化使用, OSERDES2 原语例化 VHDL RTL 如下:

```

u_dclk_inst : OSERDESE2
generic map (
DATA_RATE_OQ => "DDR",
DATA_RATE_TQ => "DDR",
DATA_WIDTH => 4,
INIT_OQ => '0',
INIT_TQ => '0',

```

```

SERDES_MODE => "MASTER",
SRVAL_OQ => '0',
SRVAL_TQ => '0',
TBYTE_CTL => "FALSE",
TBYTE_SRC => "FALSE",
TRISTATE_WIDTH => 4

```

) port map (

...

);

OSERDES2 原语中的 generic map 是需要配置的参数属性。本设计中主要配置的参数属性为数据, 以 DDR 形式输出, 数据位宽为 4, 模式为 MASTER, 三态转换位宽为 4。OSERDES2 原语输出给 XC7K325T FPGA 的高性能 (HP) I/O 组。

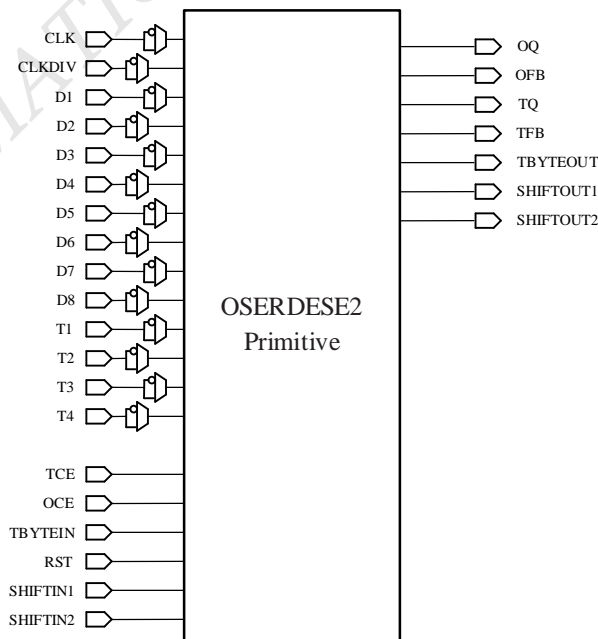


图 6 OSERDES2 原语

4 实验

本文利用 500 MHz 带宽、5 GSa/s 采样率的示波器对基于 FPGA 的低噪声三角波信号发生器输出的三角波调制信号分别进行幅度和噪声电平的测试。三角波调制信号的幅度如图 7 所示。

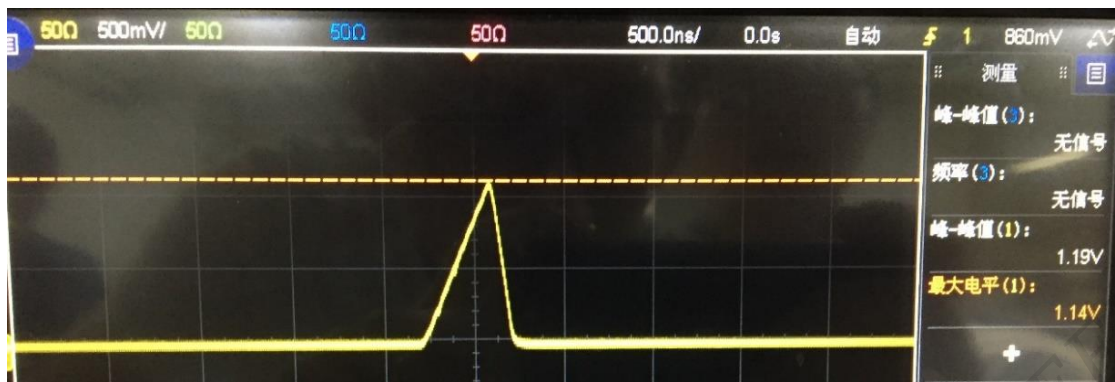


图7 三角波调制信号的幅度

图7中，示波器设置欧姆档为 $50\ \Omega$ ，测得三角波调制信号的峰-峰值为 $1.19\ \text{V}$ 。

将图7中三角波调制信号放大，测试三角波调制信号的噪声，如图8所示。

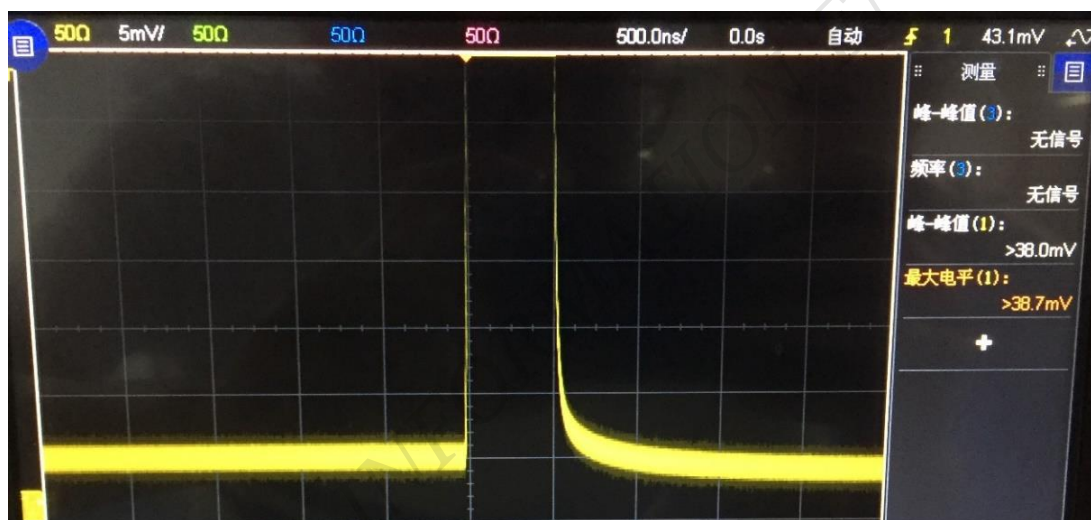


图8 三角波调制信号的噪声图

图8中，三角波调制信号被放大后，显示出其底部的噪声电平，测得三角波噪声幅度小于 $5\ \text{mV}$ 。 $5\ \text{mV}$ 的电平噪声与 $1.19\ \text{V}$ 的峰-峰值对比，信噪比为 $47\ \text{dB}$ 。

5 结论

本文利用XC7K325T FPGA和AD9783设计基于FPGA的低噪声三角波信号发生器，并介绍了信号发生器的硬件部分和FPGA开发。经高频示波器测试显示，三角波调制信号的噪声电平小于 $5\ \text{mV}$ ，该设计达到了预期的效果。

参考文献

[1] 胡杨,朱鹤元. $1.55\ \mu\text{m}$ 全光纤相干多普勒激光测风雷达[J].

红外与激光工程,2016,45(S1):78-82.

[2] 罗甜,胡芳仁,朱海龙.测风激光雷达信号载噪比和有效性算法研究[J].微型机与应用,2017,36(12):8-12.

[3] 崔永俊,王晋伟,贾磊,等.基于FPGA的DDS信号发生器的设计与实现[J].电子器件,2016,39(2):339-343.

[4] 贺军义,蒋坚,李男男.基于FPGA的DDS信号发生器设计[J].计算机测量与控制,2017,25(2):231-233;237.

[5] 南楠,赵立新.基于FPGA的DDS信号源研究与设计[J].沈阳工程学院学报(自然科学版),2016,12(1):74-82.

[6] 刘晓东,吴佳琪,黄旭,等.基于FPGA的多功能数据采集系统设计[J].传感器与微系统,2017,36(7):96-99.

[7] 孙嘉霖,李艳辉,霍琦,等.基于FPGA的六维并联机构的数据采集系统设计[J].机电工程技术,2021,50(5):121-124.

(下转第27页)